

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JCE21 U.S. PRO
09/905195
07/16/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年12月11日

出 願 番 号

Application Number:

特願2000-375828

出 願 人

Applicant (s):

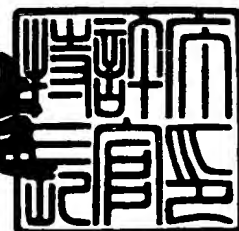
沖電気工業株式会社
株式会社 沖マイクロデザイン

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 2月 9日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3006942

【書類名】 特許願

【整理番号】 KA003735

【提出日】 平成12年12月11日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G06F 12/14

【発明者】

 【住所又は居所】 宮崎県宮崎郡清武町大字木原7083番地 株式会社
 沖マイクロデザイン内

 【氏名】 新森 信明

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【特許出願人】

 【識別番号】 591049893

 【氏名又は名称】 株式会社 沖マイクロデザイン

【代理人】

 【識別番号】 100086807

 【弁理士】

 【氏名又は名称】 柿本 恭成

【手数料の表示】

 【予納台帳番号】 007412

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9001054

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 マイクロコンピュータ

【特許請求の範囲】

【請求項1】 制御処理用のプログラム及びデータを記憶する記憶装置と、前記プログラムに従って所定の制御処理を行う中央処理装置と、試験信号の入出力を行う試験ポートと、不揮発性のレジスタに設定されたセキュリティビットに従って前記試験ポートと記憶装置及び／または中央処理装置と間をオン／オフ制御するスイッチとを有するマイクロコンピュータにおいて、

前記試験ポートに入力されたデータと前記記憶装置に記憶されたデータを比較し、両者が一致したときに前記スイッチをオン状態にするセキュリティ解除手段を設けたことを特徴とするマイクロコンピュータ。

【請求項2】 前記セキュリティ解除手段は、

前記試験ポートから入力されるアドレス情報を保持して前記記憶装置の記憶領域を指定するアドレスレジスタと、

前記試験ポートから入力されるデータ情報を保持するデータレジスタと、

前記アドレス情報に従って前記記憶装置から読み出されたデータを前記データレジスタに保持されたデータと比較する比較器と、

前記比較器の比較結果が一致のときに前記セキュリティビットの状態に拘らず前記スイッチをオン状態に設定する論理ゲートとを、

備えたことを特徴とする請求項1記載のマイクロコンピュータ。

【請求項3】 前記セキュリティ解除手段は、

前記試験ポートから順次入力されるタイミング情報をカウントして前記記憶装置の記憶領域を指定するアドレスカウンタと、

前記タイミング情報に対応して前記試験ポートから入力されるデータ情報を保持するデータレジスタと、

前記アドレスカウンタの指定に従って前記記憶装置から読み出されたデータを前記データレジスタに保持されたデータと比較する比較器と、

前記比較器の比較結果が一致した回数をカウントしてその結果が所定の値に達したときに解除信号を出力する一致回数カウンタと、

前記解除信号が与えられたときに前記セキュリティビットの状態に拘らず前記スイッチをオン状態に設定する論理ゲートとを、

備えたことを特徴とする請求項 1 記載のマイクロコンピュータ。

【請求項 4】 前記試験ポートから入力されるアドレス情報を保持して前記アドレスカウンタの初期値を設定するアドレスレジスタを設けたことを特徴とする請求項 3 記載のマイクロコンピュータ。

【請求項 5】 制御処理用のプログラム及びデータを記憶する記憶装置と、前記プログラムに従って所定の制御処理を行う中央処理装置と、試験信号の入出力を行う試験ポートと、前記試験ポートと前記中央処理装置と間をオン／オフ制御するスイッチと、前記試験ポートに入力されたデータと前記記憶装置に記憶されたデータを比較して両者が一致したときに前記スイッチをオン状態にするセキュリティ解除手段とを、

備えたことを特徴とするマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デバッグ用の試験ポートを備え、デバッグ終了後にこの試験ポートによるアクセスを禁止するためのセキュリティビットを有するマイクロコンピュータ（以下、「マイコン」という）に関するものである。

【0002】

【従来の技術】

図 2 は、従来のセキュリティビットを有するマイコンの構成図である。

このマイコンは、デバッグ時にデバッグ装置等を接続するためのインタフェースである JTAG (Joint Test Action Group) ポート 11 を有している。JTAG ポート 11 は、試験用のクロック信号 TCK、入力データ TDI、モード選択信号 TMS、リセット信号 TRST、及び出力データ TDO 等の信号やシリアルデータを入出力するものである。

【0003】

JTAGポート11は、スイッチ部12を介してTAP (Test Access Port) 13, 14に接続されている。スイッチ部12は、制御端子に後述するセキュリティ信号SEQが与えられていないときにはオン状態となってJTAGポート11とTAP13, 14の間を接続し、セキュリティ信号SEQが与えられたときにはオフ状態となってJTAGポート11とTAP13, 14の間を切り離すものである。

【0004】

TAP13は、制御線15を介して中央処理装置（以下、「CPU」という）16に接続され、TAP14は、制御線17を介してフラッシュROM（書き換え可能な不揮発性メモリ）18に接続されている。TAP13は、デバッグ時にデバッグ装置からJTAGポート11を介して与えられる試験信号を解読してCPU16を制御すると共に、このCPU16の状態等をデバッグ装置側へ出力するものである。また、TAP14は、試験信号を解読してフラッシュROM18のデータを読み書きするものである。

【0005】

CPU16とフラッシュROM18は、アドレスバス19、制御バス20及びデータバス21で接続されている。フラッシュROM18は、セキュリティビットと呼ばれる書き換え可能な不揮発性の独立したレジスタを有しており、このレジスタがセットされたときに、前記セキュリティ信号SEQがスイッチ部12の制御端子に与えられるようになっている。

【0006】

このようなマイコンでは、フラッシュROM18にデータが書き込まれていないときには、セキュリティビットはリセット状態となっており、セキュリティ信号SEQは出力されていない。従って、JTAGポート11は、スイッチ部12を介してTAP13, 14に接続されている。

【0007】

この状態で、JTAGポート11にデバッグ装置を接続し、フラッシュROM18にデータやプログラムを書き込むと共に、CPU16の動作チェック及びプログラム・デバッグ等を行う。そして、デバッグが完了した時点で、デバッグ装

置からのコマンドによって、セキュリティビットをセットする。

【0008】

セキュリティビットがセットされると、フラッシュROM18からセキュリティ信号SEQが出力され、スイッチ部12がオフ状態となる。これにより、JTAGポート11がTAP13, 14から切り離され、外部からこのJTAGポート11を介してCPU16やフラッシュROM18にアクセスすることができなくなる。このようにして、マイコンのCPU16やフラッシュROM18内のデータ等のセキュリティが保護されるようになっている。

【0009】

【発明が解決しようとする課題】

しかしながら、従来のマイコンでは、次のような課題があった。

例えば、完成したプログラムをフラッシュROM18に書き込んで製品として出荷した後に、プログラムのバグが発見されたり、仕様変更によって固定データを変更する必要が生じることがある。このような場合、JTAGポート11が使用できないので、このマイコンを廃棄しなければならない。また、場合によっては、このマイコンを組み込んだ装置全体を取り替える必要が生じることもある。

【0010】

本発明は、前記従来技術が持っていた課題を解決し、セキュリティビットをセットした後でも、特定の操作によりJTAGポート11が使用できるマイコンを提供するものである。

【0011】

【課題を解決するための手段】

前記課題を解決するために、本発明の内の第1の発明は、制御処理用のプログラム及びデータを記憶する記憶装置と、前記プログラムに従って所定の制御処理を行うCPUと、試験信号の入出力を行う試験ポートと、不揮発性のレジスタに設定されたセキュリティビットに従って前記試験ポートと記憶装置及び／またはCPUと間をオン／オフ制御するスイッチとを有するマイコンにおいて、前記試験ポートに入力されたデータと前記記憶装置に記憶されたデータを比較し、両者が一致したときに前記スイッチをオン状態にするセキュリティ解除手段を設けて

いる。

【 0 0 1 2 】

第 2 の発明は、第 1 の発明におけるセキュリティ解除手段を、試験ポートから入力されるアドレス情報を保持して記憶装置の記憶領域を指定するアドレスレジスタと、前記試験ポートから入力されるデータ情報を保持するデータレジスタと、前記アドレス情報に従って前記記憶装置から読み出されたデータを前記データレジスタに保持されたデータと比較する比較器と、前記比較器の比較結果が一致のときに前記セキュリティビットの状態に拘らず前記スイッチをオン状態に設定する論理ゲートとで構成している。

【 0 0 1 3 】

第 3 の発明は、第 1 の発明におけるセキュリティ解除手段を、試験ポートから順次入力されるタイミング情報をカウントして記憶装置の記憶領域を指定するアドレスカウンタと、前記タイミング情報に対応して前記試験ポートから入力されるデータ情報を保持するデータレジスタと、前記アドレスカウンタの指定に従って前記記憶装置から読み出されたデータを前記データレジスタに保持されたデータと比較する比較器と、前記比較器の比較結果が一致した回数をカウントしてその結果が所定の値に達したときに解除信号を出力する一致回数カウンタと、前記解除信号が与えられたときに前記セキュリティビットの状態に拘らず前記スイッチをオン状態に設定する論理ゲートとで構成している。

【 0 0 1 4 】

第 4 の発明は、第 3 の発明のマイコンに、試験ポートから入力されるアドレス情報を保持してアドレスカウンタの初期値を設定するアドレスレジスタを設けている。

【 0 0 1 5 】

第 1 ～ 第 4 の発明によれば、以上のようにマイコンを構成したので、次のような作用が行われる。

【 0 0 1 6 】

試験ポートから記憶装置のアドレス情報とそのアドレスに記憶されたデータ情報が入力されると、これらのアドレス情報とデータ情報は、例えば、アドレスレ

ジスタとデータレジスタにそれぞれ保持される。アドレスレジスタに保持されたアドレス情報によって、記憶装置の記憶領域が指定され、この記憶装置から記憶されたデータが読み出される。記憶装置から読み出されたデータは、比較器に与えられ、データレジスタに保持されたデータと比較される。比較器の比較結果は論理ゲートに与えられ、この比較結果が一致のときには、セキュリティビットの状態に拘らずスイッチがオン状態に設定される。

【0017】

第5の発明は、マイコンにおいて、制御処理用のプログラム及びデータを記憶する記憶装置と、前記プログラムに従って所定の制御処理を行うCPUと、試験信号の入出力を行う試験ポートと、前記試験ポートと前記CPUと間をオン/オフ制御するスイッチと、前記試験ポートに入力されたデータと前記記憶装置に記憶されたデータを比較して両者が一致したときに前記スイッチをオン状態にするセキュリティ解除手段とを備えている。

【0018】

第5の発明によれば、次のような作用が行われる。

試験ポートにデータが入力されると、このデータはセキュリティ解除手段に与えられ、記憶装置に記憶されたデータと比較される。そして、両者が一致すると、セキュリティ解除手段によってスイッチがオン状態にされ、試験ポートとCPUの間が接続されてこのCPUに対する試験信号の入出力が可能になる。

【0019】

【発明の実施の形態】

（第1の実施形態）

図1は、本発明の第1の実施形態を示すマイコンの構成図であり、図2中の要素と共通の要素には共通の符号が付されている。

このマイコンは、デバッグ時にデバッグ装置等を接続するためのインタフェースであるJTAGポート11を有している。JTAGポート11は、試験用のクロック信号TCK、入力データTDI、モード選択信号TMS、リセット信号TRST、及び出力データTDO等の信号やシリアルデータを入出力するものである。

【0020】

JTAGポート11は、スイッチ部12を介してTAP13、14に接続されている。スイッチ部12は、例えば制御端子がレベル“L”のときはオン状態となってJTAGポート11とTAP13、14の間を接続し、レベル“H”のときにはオフ状態となってJTAGポート11とTAP13、14の間を切り離すものである。

【0021】

TAP13は、制御線15を介してCPU16に接続され、TAP14は、制御線17を介してフラッシュROM18に接続されている。TAP13は、デバッグ時に、デバッグ装置からJTAGポート11を介して与えられる試験信号を解読してCPU16を制御すると共に、このCPU16の状態等をデバッグ装置側へ出力するものである。また、TAP14は、デバッグ時に試験信号を解読して、フラッシュROM18のデータを読み書きするものである。

【0022】

CPU16とフラッシュROM18は、制御バス20及びデータバス21で接続され、このCPU16から出力されるアドレス信号AD1は、アドレスバス19からセクタ(SEL)22を介してフラッシュROM18に与えられるようになっている。また、フラッシュROM18は、セキュリティビットと呼ばれる書き換え可能な不揮発性の独立したレジスタを有しており、このレジスタの出力信号が、AND(論理積ゲート)23を介してスイッチ部12の制御端子に与えられるようになっている。

【0023】

更に、このマイコンは、JTAGポート11にスイッチを介さずに接続されたTAP24を有している。TAP24は、JTAGポート11から与えられたクロック信号TCKと入力データTDIに従って、シリアルデータSDを出力するものである。また、TAP24は、スイッチ部12とJTAGポート11との間の出力データTDOを中継する機能を有している。

【0024】

TAP24から出力されるシリアルデータSDは、データ用のシフトレジスタ

25に入力され、更にこのシフトレジスタ25の直列出力側が、アドレス用のシフトレジスタ26に与えられるようになっている。シフトレジスタ25、26は、直列に入力されたデータを順次シフトして保持し、並列データとして出力するものである。

【0025】

シフトレジスタ25、26の並列出力側は、それぞれ比較器(CMP)27及びセクタ22の第2の入力側に接続されている。比較器27の第1の入力側は、データバス21に接続されている。比較器27は、第1及び第2の入力側に与えられるデータを比較し、一致した時に“H”の出力信号を出力するものであり、この比較器27の出力側が、インバータ28を介してAND23の第2の入力側に接続されている。

【0026】

次に、動作を説明する。

図1のマイコンにおいて、フラッシュROM18のセキュリティビットがセットされていないときの動作は、図2のマイコンと同様である。即ち、フラッシュROM18から出力されるセキュリティ信号SEQは“L”であり、スイッチ部12はオン状態となり、JTAGポート11は、このスイッチ部12を介してTAP13、14に接続される。また、セクタ22は、図示しない制御信号によって第1の入力側が選択され、CPU16のアドレス信号AD1がフラッシュROM18に与えられる。

【0027】

この状態で、JTAGポート11にデバッグ装置を接続し、フラッシュROM18にデータやプログラムを書き込むと共に、CPU16の動作チェック及びプログラム・デバッグ等を行う。そして、デバッグが完了した時点で、デバッグ装置からのコマンドによって、セキュリティビットをセットする。

【0028】

セキュリティビットがセットされると、フラッシュROM18から出力されるセキュリティ信号SEQが“H”となる。また、比較器27の出力信号は通常“L”であるので、AND23の出力信号は“H”となり、スイッチ部12がオフ

状態となる。これにより、JTAGポート11がTAP13, 14から切り離され、外部からこのJTAGポート11を介してCPU16やフラッシュROM18へのアクセスが禁止され、マイコンのセキュリティが保護される。一方、CPU16は、アドレスバス19、制御バス20及びデータバス21を介してフラッシュROM18と接続され、このフラッシュROM18に書き込まれたプログラムに基づいて所定の制御処理が行われる。

【0029】

ここで、例えば、マイコンの誤動作を解析するためのデバッグや、フラッシュROM18中のプログラム等を修正するために、セキュリティビットを解除する場合の動作について説明する。

【0030】

まず、デバッグ装置をJTAGポート11に接続し、セクタ22が第2の入力側を選択するようなコマンドを入力する。これにより、アドレスバス19が切り離され、シフトレジスタ26の並列出力側がセクタ22を介してフラッシュROM18のアドレス端子に接続される。

【0031】

次に、フラッシュROM18の記憶内容は、デバッグする人にとっては既知であるので、任意のアドレスAD2とそのアドレスAD2に対応するデータDT2を、連続してデバッグ装置からJTAGポート11に与える。アドレスAD2とデータDT2は順次TAP24に送られ、このTAP24から直列データSDとしてシフトレジスタ25, 26に出力される。直列データSDは、シフトレジスタ25, 26によって順次シフトして保持される。これにより、シフトレジスタ26, 25には、それぞれアドレスAD2及びデータDT2が保持される。

【0032】

シフトレジスタ26に保持されたアドレスAD2は、セクタ22を介してフラッシュROM18のアドレス端子に与えられ、このフラッシュROM18のアドレスAD2の内容、即ちデータDT1がデータバス21に出力される。また、シフトレジスタ25に保持されたデータDT2は、比較器27の第2の入力側に与えられる。そして、比較器27において、フラッシュROM18から読み出さ

れたデータDT1とデバッグ装置から与えられたデータDT2が比較される。データDT1、DT2は当然等しいので、比較器27の出力信号は“H”となり、AND23の出力信号は“L”となって、スイッチ部12はオン状態となる。

【0033】

これにより、JTAGポート11はTAP13、14に接続され、デバッグ装置からCPU16及びフラッシュROM18にアクセスすることができるようになる。ここで、デバッグ装置からフラッシュROM18のセキュリティビットをリセットすれば、セキュリティ信号SEQが“L”となり、マイコンはデバッグ可能な状態に戻される。

【0034】

以上のように、この第1の実施形態のマイコンは、JTAGポート11に直接接続されるTAP24と、このTAP24を介して与えられたアドレスAD2とデータDT2をシフトして保持するシフトレジスタ26、25と、このシフトレジスタ25の保持内容によってフラッシュROM18をアクセスし、読み出したデータDT1とシフトレジスタ26のデータDT2が一致しているか否かを比較する比較器27を有している。これにより、フラッシュROM18の記憶データを知っている人のみが、セキュリティビットを解除することができるという利点がある。

【0035】

(第2の実施形態)

図3は、本発明の第2の実施形態を示すマイコンの構成図であり、図1中の要素と共通の要素には共通の符号が付されている。

【0036】

このマイコンは、図1中のシフトレジスタ26に代えて、TAP24から与えられるクロック信号CKをカウントするカウンタ29を設けると共に、比較器27の比較結果をカウントするカウンタ30を設けている。カウンタ29の出力信号は、アドレスAD2としてセレクタ22を介してフラッシュROM18に与えられるようになっている。また、カウンタ30は、カウント値が一定値を超えた時に、オーバーフロー信号OVFを“H”にして出力するものであり、このオー

オーバーフロー信号OVFがインバータ28を介してAND23の第2の入力側に与えられるようになっている。その他の構成は、図1と同様である。

【0037】

このようなマイコンにおいて、一旦セットしたセキュリティビットの解除は、次のように行われる。

【0038】

まず、デバッグ装置をJTAGポート11に接続し、セレクトア22が第2の入力側を選択するようなコマンドを入力する。これにより、アドレスバス19が切り離され、カウンタ29の出力側がセレクトア22を介してフラッシュROM18のアドレス端子に接続される。また、カウンタ29、30の値を0にクリアするコマンドを入力する。

【0039】

次に、デバッグ装置からJTAGポート11に、フラッシュROM18の0番地のデータDT2を与える。データDT2は、JTAGポート11からTAP24を介してシフトレジスタ25に与えられて保持される。シフトレジスタ25に保持されたデータDT2は、比較器27の第2の入力側に与えられる。一方、カウンタ29の値は0であるので、フラッシュROM18から0番地の内容が読み出され、データDT1として比較器27の第1の入力側に与えられる。データDT1、DT2は当然等しいので、比較器27の出力信号は“H”となり、カウンタ30の値は増加して1となる。

【0040】

引き続き、デバッグ装置からJTAGポート11に、フラッシュROM18の1番地のデータDT2を与えると共に、クロック信号CKによってカウンタ29の値を1だけ増加させる。これにより、デバッグ装置から与えられたデータDT2と、フラッシュROM18の1番地から読み出されたデータDT1が比較される。当然両者は等しいので、カウンタ30の値は増加して2となる。

【0041】

同様に、フラッシュROM18の全番地のデータを順次入力し、すべてのデータが一致していれば、カウンタ30からオーバーフロー信号OVFが出力される

。これにより、AND 23 の出力信号は “L” となって、スイッチ部 12 はオン状態となる。以降の動作は、第 1 の実施形態と同様である。

【0042】

以上のように、この第 2 の実施形態のマイコンは、JTAG ポート 11 に直接接続される TAP 24 と、この TAP 24 を介して与えられたデータ DT 2 を保持するシフトレジスタ 25 と、アドレス信号 AD 2 を順次カウントアップしてフラッシュ ROM 18 へ与えるカウンタ 29 と、このフラッシュ ROM 18 から読み出されたデータ DT 1 とデバッグ装置から与えられたデータ DT 2 を比較して一致回数をカウントするカウンタ 30 を有している。これにより、フラッシュ ROM 18 の全記憶データを知っている人のみが、セキュリティビットを解除することが可能であり、第 1 の実施形態よりも更に厳密なセキュリティ管理が可能になる。

【0043】

(第 3 の実施形態)

図 4 は、本発明の第 3 の実施形態を示すマイコンの構成図であり、図 3 中の要素と共通の要素には共通の符号が付されている。

【0044】

このマイコンは、図 3 中のカウンタ 29 に代えて、初期値設定機能付きのカウンタ 29A を設けると共に、このカウンタ 29A の初期値入力側に、図 1 と同様のシフトレジスタ 26 を接続している。その他の構成は、図 3 と同様である。

【0045】

このようなマイコンにおいて、一旦セットしたセキュリティビットの解除は、次のように行われる。

【0046】

まず、デバッグ装置を JTAG ポート 11 に接続し、セクタ 22 が第 2 の入力側を選択するようなコマンドを入力する。これにより、カウンタ 29A の出力側が、セクタ 22 を介してフラッシュ ROM 18 のアドレス端子に接続される。また、カウンタ 30 の値を 0 にクリアするコマンドを入力する。

【0047】

次に、デバッグ装置から JTAGポート 11 に、任意のアドレス AD2（ここでは n 番地とする）と、フラッシュ ROM 18 の n 番地のデータ DT2 を与える。アドレス AD2 とデータ DT2 は、JTAGポート 11 から TAP24 を介して、シフトレジスタ 26, 25 にそれぞれ保持される。

【0048】

更に、デバッグ装置から、シフトレジスタ 26 の保持内容をカウンタ 29A に初期値として設定するためのコマンドを入力する。これにより、カウンタ 29A の値が n に設定され、フラッシュ ROM 18 から n 番地の内容が読み出され、データ DT1 として比較器 27 の第 1 の入力側に与えられる。一方、比較器 27 の第 2 の入力側には、シフトレジスタ 25 に保持されたデータ DT2 が与えられる。データ DT1, DT2 は当然等しいので、比較器 27 の出力信号は“H”となり、カウンタ 30 の値は増加して 1 となる。

【0049】

引き続いて、デバッグ装置から JTAGポート 11 に、フラッシュ ROM 18 の n+1 番地のデータ DT2 を与えると共に、クロック信号 CK によってカウンタ 29A の値を 1 だけ増加させる。これにより、デバッグ装置から与えられたデータ DT2 と、フラッシュ ROM 18 の n+1 番地から読み出されたデータ DT1 が比較される。当然両者は等しいので、カウンタ 30 の値は増加して 2 となる。以降の動作は、第 2 の実施形態と同様である。

【0050】

以上のように、この第 3 の実施形態のマイコンは、JTAGポート 11 に直接接続される TAP24 と、この TAP24 を介して与えられたデータ DT2 を保持するシフトレジスタ 25 と、比較対象の開始アドレスを保持するシフトレジスタ 26 と、アドレス信号 AD2 を順次カウントアップしてフラッシュ ROM 18 へ与えるカウンタ 29A と、このフラッシュ ROM 18 から読み出されたデータ DT1 とデバッグ装置から与えられたデータ DT2 を比較して一致回数をカウントするカウンタ 30 を有している。これにより、フラッシュ ROM 18 の任意の番地以降の記憶データを知っている人のみが、セキュリティビットを解除することが可能であり、第 1 の実施形態よりも厳密なセキュリティ管理が可能になる。

また、フラッシュROM 18の一部の記憶データをチェックするようにしているので、第2の実施形態よりも短時間でセキュリティビットを解除することができる。

【0051】

(第4の実施形態)

図5は、本発明の第4の実施形態を示すマイコンの構成図であり、図4中の要素と共通の要素には共通の符号が付されている。

【0052】

このマイコンは、図4中のフラッシュROM 18に代えて、マスクROM（書き換え不可能な読出専用メモリ）31を設けている。これに伴い、TAP 14とAND 23を削除し、インバータ28の出力側をスイッチ部12の制御端子に接続している。その他の構成は、図4と同様である。

【0053】

このようなマスクROM 31を使用した製品の場合、セキュリティの関係から常にCPU 16のデバッグは禁止状態であることが望ましい。しかし、第1～第3の実施形態と同様に、テストの問題からCPU 16のデバッグを可能にする機能が必要である。本実施形態では、CPU 16に対応するTAP 13の機能を、図4と同様にカウンタ30のオーバーフロー信号OVFに基づいて可能にするように構成している。

【0054】

従って、このマイコンにおいてセキュリティ機能を解除するための動作は、第3の実施形態と同様であり、同様の利点がある。

【0055】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次の(a)，(b)のようなものがある。

【0056】

(a) JTAGポート11の入出力信号は一例であり、どのようなインタフェースに対しても同様に適用可能である。

【0057】

(b) セキュリティ信号SEQやスイッチ部12に対する制御信号は正論理で説明したが、論理レベルは任意である。

【0058】

【発明の効果】

以上詳細に説明したように、第1の発明によれば、試験ポートに入力されたデータが記憶装置に記憶されたデータと一致したときに、スイッチをオン状態にするセキュリティ解除手段を設けている。これにより、セキュリティビットがセットされていても、記憶装置の内容を知っていれば試験ポートを介してCPUや記憶装置にアクセスすることができる。

【0059】

第2の発明によれば、セキュリティ解除手段は、試験ポートから入力されたアドレス情報とデータ情報をそれぞれ保持するアドレスレジスタとデータレジスタを有している。更に、アドレス情報に基づいて記憶装置から読み出されたデータと、データレジスタに保持されたデータを比較する比較器を有している。これにより、任意のアドレスとそのアドレスに対応したデータを入力するだけで、セキュリティを解除することができる。

【0060】

第3の発明によれば、セキュリティ解除手段は、タイミング情報をカウントして記憶領域を指定するアドレスカウンタと、試験ポートから入力されたデータ情報を保持するデータレジスタを有している。更に、データの一致回数が所定の値に達したときに解除信号を出力する一致回数カウンタを有している。これにより、記憶装置の一定数の内容が一致した段階で解除信号が出力されるので、より厳密なセキュリティ管理が可能になる。

【0061】

第4の発明によれば、セキュリティ解除手段は、試験ポートから入力されるアドレス情報に従って、アドレスカウンタの初期値を設定するためのアドレスレジスタを有している。これにより、任意の番地以降のデータを入力し、このデータが一致していれば解除信号が出力されるようになり、セキュリティ解除のための時間を短縮することができる。

【0062】

第5の発明によれば、試験ポートに入力されたデータと記憶装置に記憶されたデータを比較して両者が一致したときにスイッチをオン状態にするセキュリティ解除手段を有している。これにより、記憶装置の記憶内容を知らない人は、試験ポートを使用することができず、CPUのセキュリティを保護することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態を示すマイコンの構成図である。

【図2】

従来のセキュリティビットを有するマイコンの構成図である。

【図3】

本発明の第2の実施形態を示すマイコンの構成図である。

【図4】

本発明の第3の実施形態を示すマイコンの構成図である。

【図5】

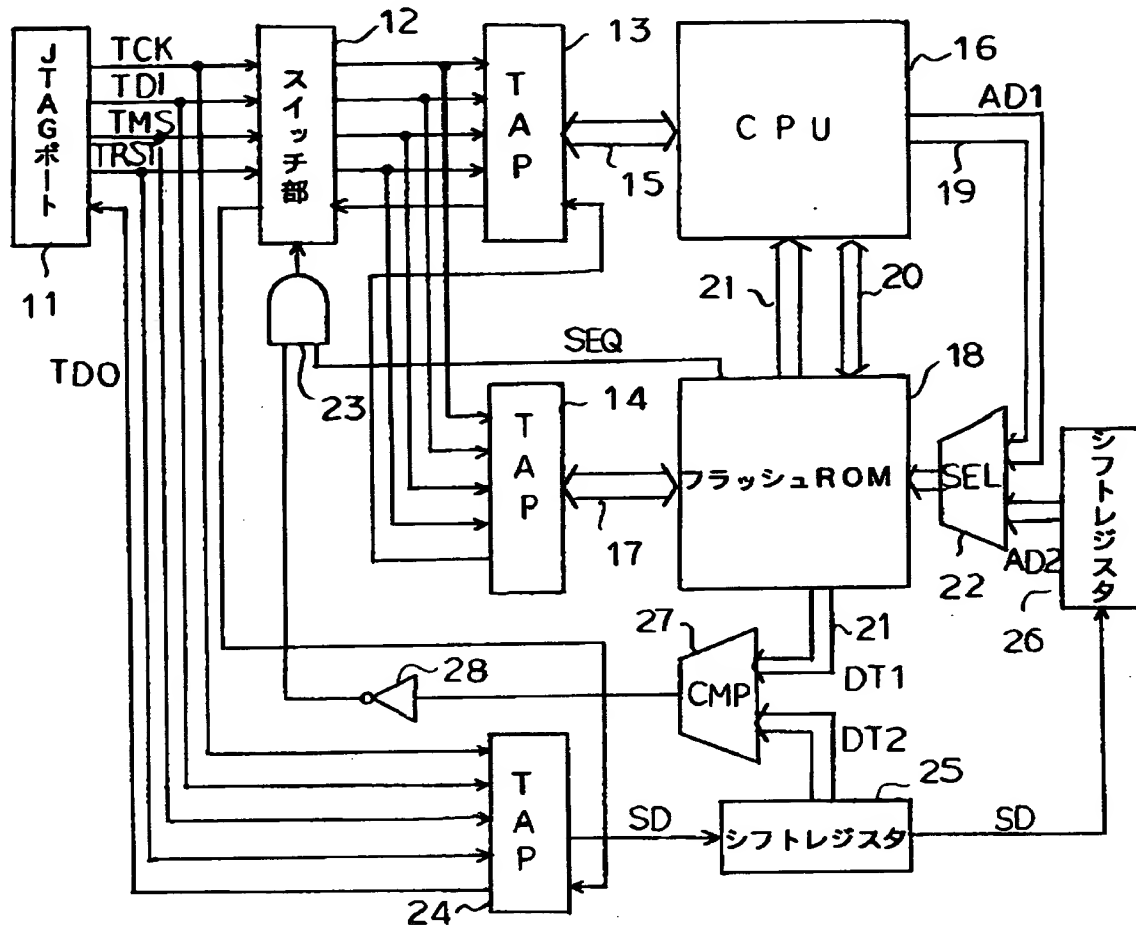
本発明の第4の実施形態を示すマイコンの構成図である。

【符号の説明】

- 11 JTAGポート
- 12 スイッチ部
- 13, 14, 24 TAP
- 16 CPU
- 18 フラッシュROM
- 25, 26 シフトレジスタ
- 27 比較器
- 29, 29A, 30 カウンタ
- 31 マスクROM

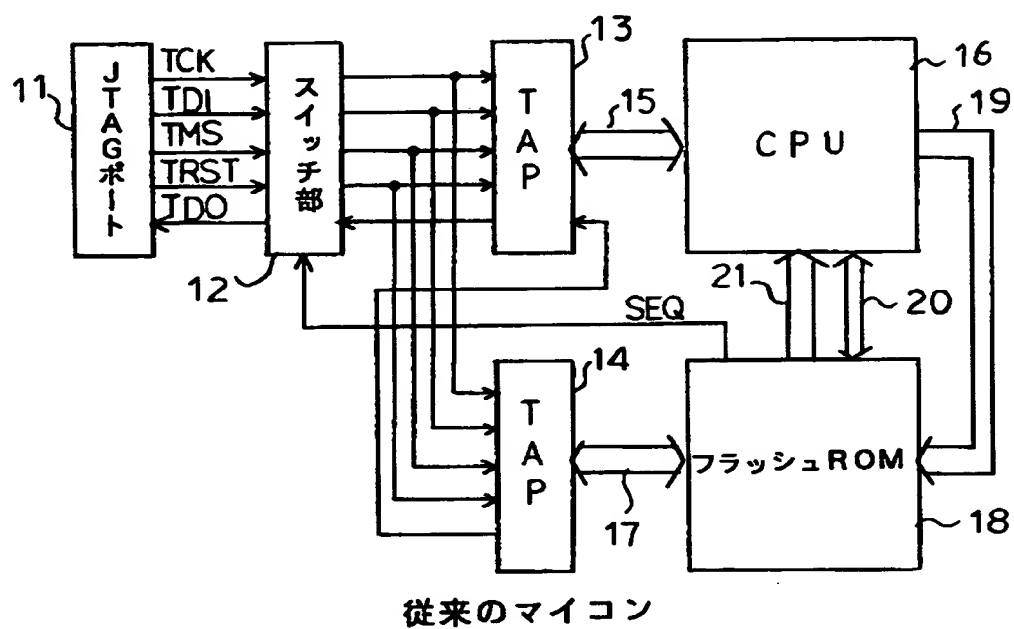
【書類名】 図面

【図1】

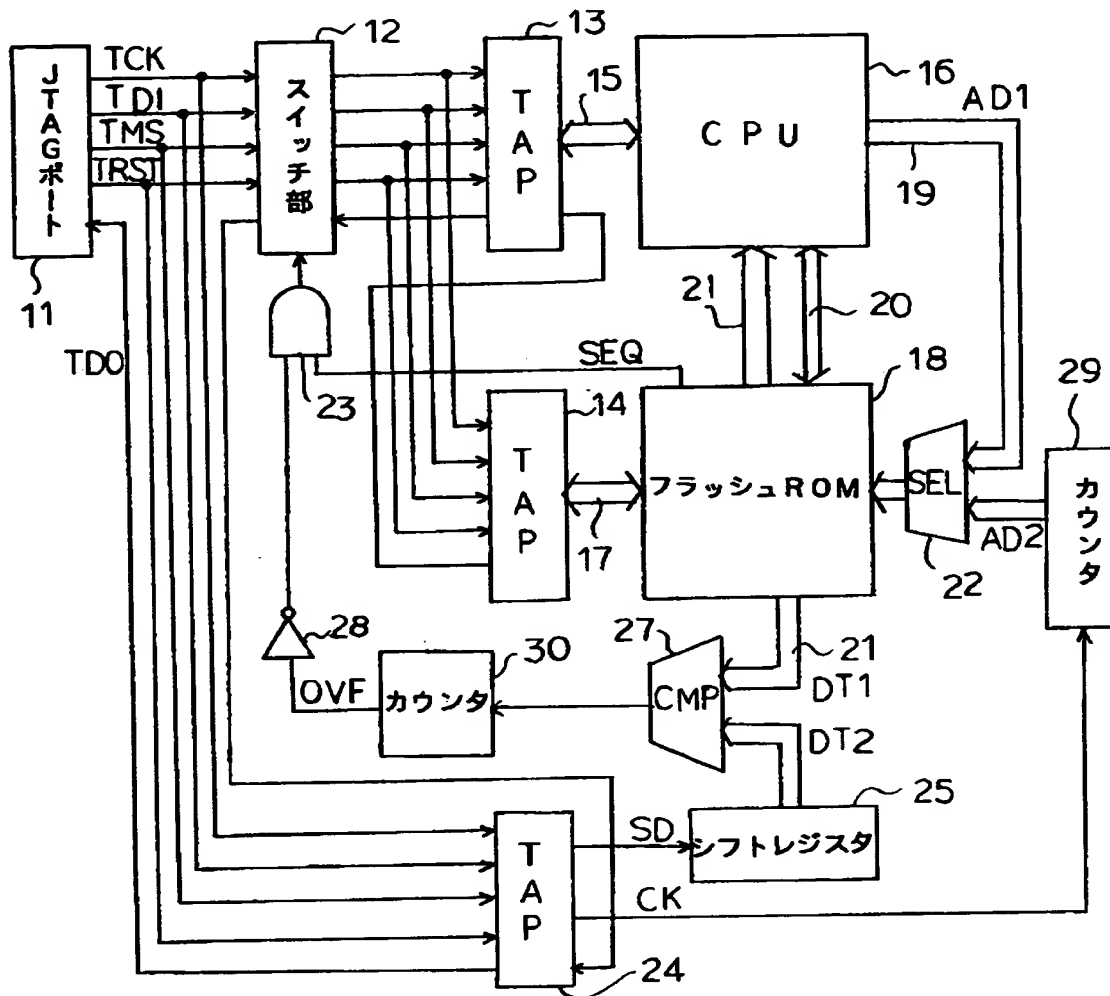


本発明の第1の実施形態のマイコン

【図2】

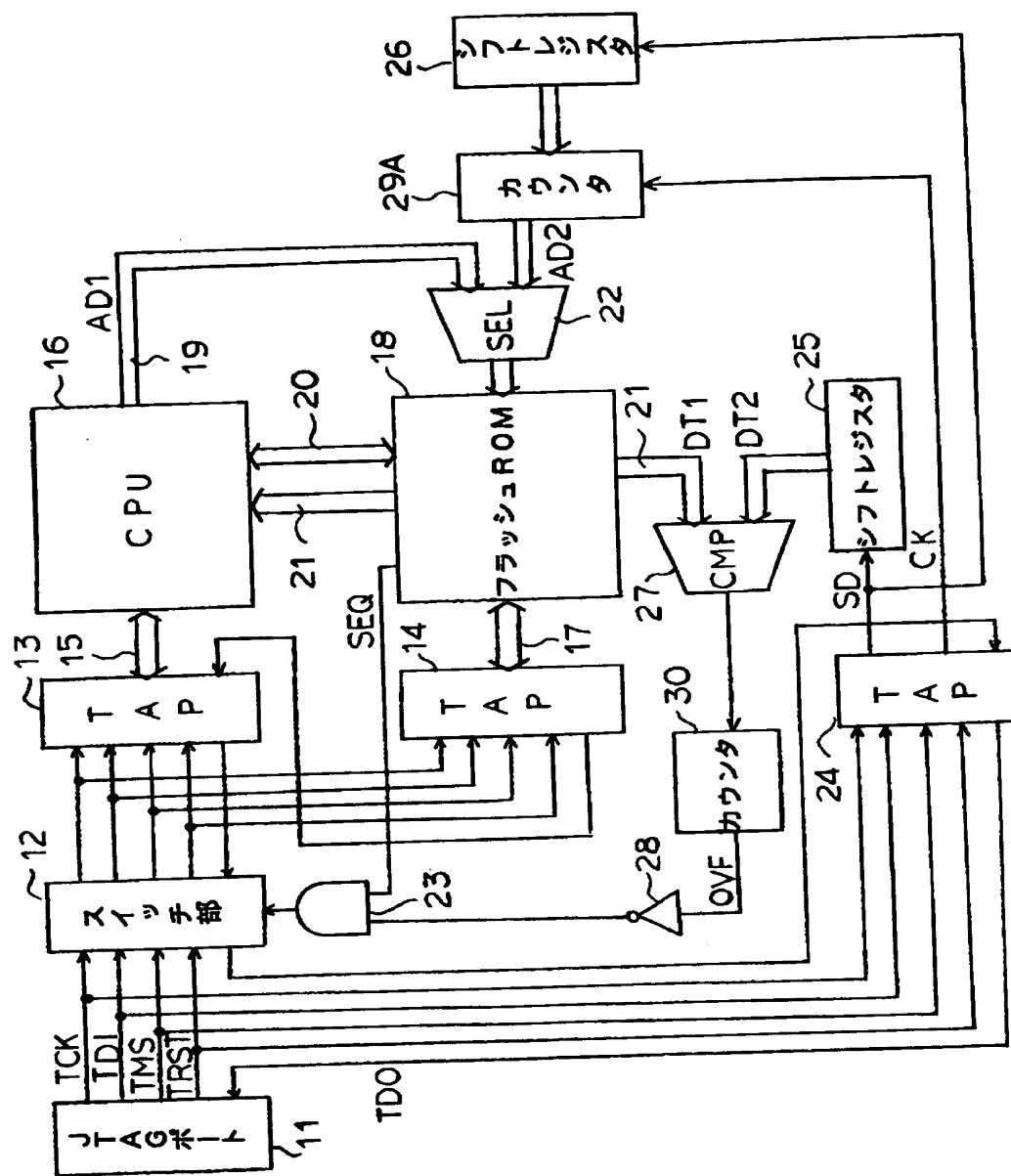


【図3】



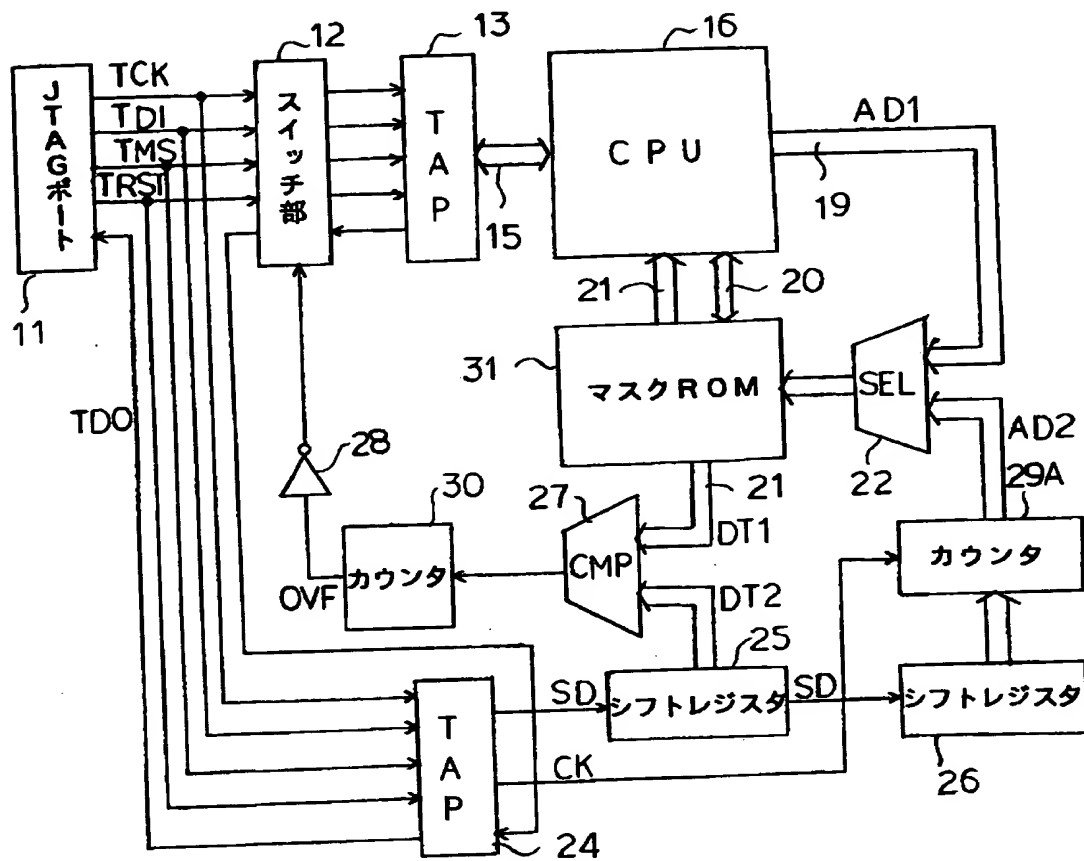
本発明の第2の実施形態のマイコン

【図4】



本発明の第3の実施形態のマイコン

【図5】



本発明の第4の実施形態のマイコン

【書類名】 要約書

【要約】

【課題】 セキュリティビットをセットした後も、特定の操作により JTAG ポートが使用できるマイコンを提供する。

【解決手段】 JTAGポート11からアドレスAD2とデータDT2が入力されると、これらのアドレスAD2とデータDT2は、TAP24を介してそれぞれシフトレジスタ26, 25に保持される。アドレスAD2はフラッシュROMに与えられ、このアドレスAD2で指定される番地のデータDT1が読み出されて比較器27に出力される。シフトレジスタ25に保持されたデータDT2も比較器27に出力される。データDT1, DT2が一致すると、比較器27の出力が“H”となり、AND23の出力はセキュリティ信号SEQに拘らず“L”となる。これによりスイッチ部12がオン状態となり、JTAGポート11がスイッチ部12を介してTAP13, 14に接続される。

【選択図】 図1

出 願 人 履 歷 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社

出 願 人 履 歴 情 報

識別番号 [591049893]

1. 変更年月日 1999年 6月17日

[変更理由] 名称変更

住 所 宮崎県宮崎郡清武町大字木原7083番地

氏 名 株式会社 沖マイクロデザイン